

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-171536

(43)公開日 平成8年(1996)7月2日

(51)Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

G 0 6 F 15/16

13/36

5 3 0 Z 9172-5E

13/42

3 5 0 A 9188-5E

G 0 6 F 15/ 16

4 0 0 B

15/ 66

K

審査請求 未請求 請求項の数5 O L (全 9 頁) 最終頁に続く

(21)出願番号

特願平6-313023

(22)出願日

平成6年(1994)12月16日

(71)出願人 391031133

株式会社コムシステム

大阪府大阪市西区江戸堀1丁目25番22号

(72)発明者 古澤 宏一

大阪市西区江戸堀1丁目25番22号 株式会
社コムシステム内

(72)発明者 浦川 智之

大阪市西区江戸堀1丁目25番22号 株式会
社コムシステム内

(72)発明者 福田 博志

大阪市西区江戸堀1丁目25番22号 株式会
社コムシステム内

(74)代理人 弁理士 小森 久夫

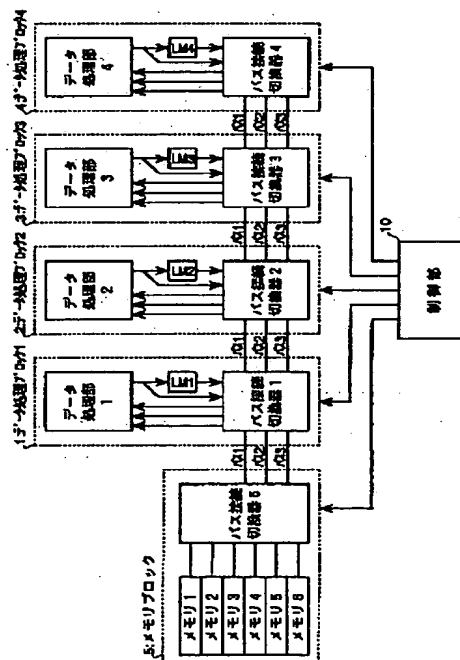
最終頁に続く

(54)【発明の名称】 データ処理装置

(57)【要約】 (修正有)

【目的】画像処理のような大容量のデータ処理を高速並列に処理することができ、これらのデータ処理を同期させる。

【構成】各データ処理部の動作開始タイミングを入力タイミングに合わせて遅延させる。データ処理部1~4に3本の入力ポート及び2本の出力ポートを設け、1本の出力ポートをローカルメモリに接続する。データ処理部1~4、ローカルメモリ1~4及びメモリ1~6をバス接続切替器1~5及びバス1~3を介して接続する。この接続は、制御10により任意に設定可能である。更に、各データ処理部1~4の動作開始タイミングを、データ処理装置が動作を開始したのちデータが入力されるまでの時間遅延し、各データ処理部では、3本の入力ポートからそれぞれ入力されるデータのうち最も遅いデータの入力タイミングに合わせて早く入力されるデータを遅延する。



【特許請求の範囲】

【請求項1】 複数のメモリと、複数のデータ処理部と、該複数のメモリおよび複数のデータ処理部の各々に対応して設けられた複数のバス接続切換器と、該複数のバス接続切換器間に接続された複数のバスとを有し、各バス接続切換器は、自己に接続されているメモリまたはデータ処理部の入力ポートを前記複数のバスのうち任意のものに接続可能であるデータ処理装置であって、各データ処理部の動作開始タイミングをデータ入力タイミングに合わせて遅延させる動作開始タイミング遅延手段を設けたことを特徴とするデータ処理装置。

【請求項2】 複数のメモリと、各々複数の入力ポートを有する複数のデータ処理部と、該複数のメモリおよび複数のデータ処理部の各々に対応して設けられた複数のバス接続切換器と、該複数のバス接続切換器間に接続された複数のバスとを有し、各バス接続切換器は、自己に接続されているメモリまたはデータ処理部の入力ポートを前記複数のバスのうち任意のものに接続可能であるデータ処理装置であって、前記複数の入力ポートに入力されるデータをそれぞれ個別に設定される遅延時間だけ遅延させる入力ポート遅延手段を設けたことを特徴とするデータ処理装置。

【請求項3】 前記複数の入力ポートに個別に設定される遅延時間は、各入力ポートに入力されるデータのうち入力タイミングの最も遅いものに一致させる遅延時間である請求項2に記載のデータ処理装置。

【請求項4】 前記データ処理部に入力されるデータは画像データであり、前記遅延時間は、該画像データの2本の水平ラインのデータの入力時間まで遅延可能である請求項2に記載のデータ処理装置。

【請求項5】 各データ処理部とそれに対応するバス接続切換器との間にそれぞれローカルメモリを設け、各データ処理部は処理済の出力データを前記バス接続切換器または前記ローカルメモリの任意の一方または両方に出力可能である請求項1または請求項2に記載のデータ処理装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、例えば画像処理など大容量のデータ処理を高速に、且つ、フレキシブルに処理をするデータ処理装置に関する。

【0002】

【従来の技術】例えば、画像処理などの大容量のデータを処理するデータ処理装置においては、同じ処理を数多く繰り返すという特性から複数の処理部で同じ処理を分割して並列に処理する並列処理方式や、連続する処理を一塊（1画面）の処理が終了するまでに順次つぎの処理部へ送って連続して処理するパイプライン処理方式などの方式が採用されていた。

【0003】しかし、これらの方法そのままでは、処理

の流れが固定的であり、確立したアルゴリズムに対して専用に構成されたものは効果的であるが、処理のアルゴリズムを変更するとハードウェアの変更を要したり、その構造上の長所を十分に生かせなくなる場合が発生する。

【0004】また、特開昭61-156363号には、2個以上の複数の処理ユニットと、この各処理ユニット間にデータ入出力をバスを介して接続された複数のバス切換器と、これらの動作を制御する制御部からなる構成により大容量のデータを高速に且つ多機能多目的に処理する方法が提案されている。

【0005】

【発明が解決しようとする課題】しかし、この方法は、ある一塊のデータを処理する場合には、上記高速に且つ多機能に処理することは可能であるが、複数のデータを並行処理するためには不向きであった。

【0006】たとえば画像処理などのように複数の画像データを同時にあるいは組み合わせて処理する場合、例えば、複数の画像データを図6のフローチャートに示すアルゴリズムのように、複数の画像データが独立に処理され、その処理結果の画像データを合流したり分岐したりする手順で処理する場合、上記方式では、バスがぶつからないようにバスを多岐にわたって複雑に配線したりバス切り換えを細かく行う必要があり、バスの配線を複雑にした場合にはハードウェアが複雑・高価になり、バスの切り換えを細かく行う場合にはバス切換制御のオーバーヘッドが大きくなり処理の高速性を実現できなくなる欠点があった。

【0007】この発明は、画像処理のような大容量のデータを高速且つフレキシブルに処理することができ、且つ、全データ処理部の動作タイミングを同期させることができるデータ処理装置を提供することを目的とする。

【0008】

【課題を解決するための手段】この出願の請求項1の発明は、複数のメモリと、複数のデータ処理部と、該複数のメモリおよび複数のデータ処理部の各々に対応して設けられた複数のバス接続切換器と、該複数のバス接続切換器間に接続された複数のバスとを有し、各バス接続切換器は、自己に接続されているメモリまたはデータ処理部の入力ポートを前記複数のバスのうち任意のものに接続可能であるデータ処理装置であって、各データ処理部の動作開始タイミングをデータ入力タイミングに合わせて遅延させる動作開始タイミング遅延手段を設けたことを特徴とする。

【0009】この出願の請求項2の発明は、複数のメモリと、各々複数の入力ポートを有する複数のデータ処理部と、該複数のメモリおよび複数のデータ処理部の各々に対応して設けられた複数のバス接続切換器と、該複数のバス接続切換器間に接続された複数のバスとを有し、各バス接続切換器は、自己に接続されているメモリまた

はデータ処理部の入力ポートを前記複数のバスのうち任意のものに接続可能であるデータ処理装置であって、前記複数の入力ポートに入力されるデータをそれぞれ個別に設定される遅延時間だけ遅延させる入力ポート遅延手段を設けたことを特徴とする。

【0010】この出願の請求項3の発明は、前記複数の入力ポートに個別に設定される遅延時間を、各入力ポートに入力されるデータのうち入力タイミングの最も遅いものに一致させる遅延時間としたことを特徴とする。

【0011】この出願の請求項4の発明は、前記データ処理部に入力されるデータは画像データであり、前記遅延時間を該画像データの2本の水平ラインのデータの入力時間まで遅延可能としたことを特徴とする。

【0012】この出願の請求項5の発明は、各データ処理部とそれに対応するバス接続切換器との間にそれぞれローカルメモリを設け、各データ処理部は処理済の出力データを前記バス接続切換器または前記ローカルメモリの任意の一方または両方に出力可能としたことを特徴とする。

【0013】

【作用】この発明のデータ処理装置は、複数のメモリ、複数のデータ処理部の各々に対応して複数のバス接続切換器を設け、該複数のバス接続切換器間を複数のバスで接続している。各バス接続切換器は対応するメモリまたはデータ処理部の複数の入力ポートおよび出力ポートを複数のバスのうち任意のバスに接続可能である。この任意の接続により、任意の1または複数のデータを入力ポートから取り込んで処理し、且つ、この処理済データを任意のバスに出力することができる。この場合において、装置の動作がスタートしたのち、各データ処理部にデータが入力されるまである程度の時間が必要であり、その時間は各データ処理部毎に異なる。このようなデータが入力されるまでの時間を動作開始スタート遅延時間として遅延させる。これにより、動作スタートのタイミングとデータ入力のタイミングを一致させることができる。

【0014】また、複数の入力ポートから複数のデータを入力して処理動作を実行する場合、各入力ポートから入力されるデータの入力タイミングが同一でない場合がある。この場合、入力ポート遅延手段によって、早く入力されるデータを遅く入力されるデータの入力タイミングまで遅延させる。これにより、複数のデータが入力される場合に、そのデータの取込タイミングを一致させることができる。この入力ポート遅延手段が遅延可能な遅延量を画像処理時の2水平ライン分とすることで、たとえば3×3の画像データ平均化処理などが可能になる。

【0015】さらに、各データ処理部と対応するバス接続切換器間にローカルメモリを設け、データ処理部が処理したデータをバス接続切換器、ローカルメモリの一方または両方に出力できるようにしたことにより、よりフ

レキシブルなデータ処理が可能になる。

【0016】

【実施例】図1はこの発明の実施例であるデータ処理装置の構成図である。このデータ処理装置は、1つのメモリブロック5および4つのデータ処理ブロック1～4をそれぞれ3本のバス1～3で接続することによって構成されている。メモリブロック5は、6個のメモリ（メモリ1～6）およびバス接続切換器5からなっている。バス接続切換器5は、メモリ1～6を選択的にバス1～3に接続する。この接続の設定は制御部10が行うが、データの流れに不都合を生じない限り3本のデータバスのそれぞれに対してメモリ1～6の任意のものを接続することができる。すなわち、バス1～3には各1つのメモリを書込用または読出用として接続することができる。

【0017】4つのデータ処理ブロック1～4は、それぞれデータ処理部、ローカルメモリおよびバス接続切換器からなっている。データ処理部は3本の入力ポートおよび2本の出力ポートを備えており、このうち3本の入力ポートおよび1本の出力ポートはバス接続切換器に接続されており、他の1本の出力ポートはローカルメモリの書込側端子に接続されている。また、ローカルメモリの読出側端子はバス接続切換器に接続されている。バス接続切換器はこれら入力ポート1～3、出力ポート1およびローカルメモリを選択的にバス1～3のいずれかに接続する。また、バス接続切換器は、ローカルメモリを自己のデータ処理部の入力ポートに接続することもできる。

【0018】ここで、バス1～3は、バス接続切換器5ーバス接続切換器1、バス接続切換器1ーバス接続切換器2、バス接続切換器2ーバス接続切換器3、バス接続切換器3ーバス接続切換器4間にそれぞれ分割して設けられている。それぞれ、バス1-1～1-4、バス2-1～2-4、バス3-1～3-4とする。バス接続切換器が行う入力ポート、出力ポート、ローカルメモリおよびバスの切換接続の設定は制御部10が行うが、データの流れに不都合を生じない限り、すなわち、一連に接続されたバス上に2以上の出力ポートが接続されるなどの不都合が生じない限り、3本の入力ポート、1本の出力ポートおよびローカルメモリをそれぞれ任意のバスに接続することができる。

【0019】このような構成で、バス接続切換装置を適当に接続することにより、このデータ処理装置に様々な処理プロセスを実行させることができる。典型的な接続形態を図2に示す。同図(A)は、並列処理時の接続形態を示している。バス接続切換器5からバス接続切換器4までバス1（メインバス1-1、1-2、1-3、1-4）を接続し、データ処理部1～4に同一のデータを入力している。処理済のデータは全て各データ処理ブロックのローカルメモリに書き込んでいる。これにより、同一のデータに対して異なる処理を並行して実行することができ

る。

【0020】また同図(B)は、1つの画像データに対して各データ処理部1~4で順次処理を行うパイプライン処理の接続形態を示している。メモリブロックからデータ処理部1にデータが入力されると、データ処理部1はこのデータを処理したのちバスを介してデータ処理部2に処理済データを送信する。このデータを受信したデータ処理部2はこのデータを処理したのちバスを介してデータ処理部3に処理済データを送信する。また、このデータを受信したデータ処理部3はこのデータを処理したのちバスを介してデータ処理部4に処理済データを送信する。さらに、このデータを受信したデータ処理部4はこのデータを処理したのちこの処理済データをローカルメモリ4に記憶する。このようにデータ処理部を直列接続することにより、1つのデータに対して複数の処理を連続して実行することができる。この図においては、4つの処理が実行された処理済データはデータ処理ブロック4のローカルメモリに格納されるが、このデータをメモリブロックに転送するようにしてもよい。

【0021】上記のような並列処理やパイプライン処理では、扱われる画像データは1つであるが、このデータが全てのデータ処理部に同時に入力されるわけではない。すなわち、バス接続切換器内の伝達による遅延があり、また、データ処理部におけるデータ処理に要する時間分の遅延がある。このため、制御部10はこれらのデータ入力の遅延を見越して各データ処理部1~4に対してそのデータ処理の開始タイミングをずらせて設定する。

【0022】ここで、図3に示すように、バス接続切換器におけるデータの遅延を2クロック、データ処理部におけるデータ処理に要する時間を一律に16クロックとすると、上記図2(A)の並列処理の場合、データ処理部1の処理開始タイミングは、メモリブロックからのデータの読み出しが開始されてから4クロック後に設定する。すなわち、データがバス接続切換器5、バス接続切換器1を介して入力するからである。また、データ処理部2の処理開始タイミングは、メモリブロックからのデータの読み出しが開始されてから6クロック後に設定する。すなわち、データがバス接続切換器5、バス接続切換器1、バス接続切換器2を介して入力するからである。以下、データ処理部3の処理開始タイミングはデータの読出開始から8クロック後に設定され、データ処理部4の処理開始タイミングはデータの読出開始から10クロック後に設定される。

【0023】同様に、同図(B)のパイプライン処理の場合、データ処理部1の処理開始タイミングは、上記並列処理の場合と同様に、メモリブロックからのデータの読み出しが開始されてから4クロック後に設定する。また、データ処理部2の処理開始タイミングは、メモリブロックからのデータの読み出しが開始されてから24ク

ロック後に設定する。すなわち、データがバス接続切換器5、バス接続切換器1を介してデータ処理部1に入力され(遅延4クロック)、データ処理部1でデータ処理を受けたのち(遅延16クロック)、バス接続切換器1、バス接続切換器2を介してデータ処理部2に入力される(遅延4クロック)からである。以下同様に、データ処理部3の処理開始タイミングはデータの読出開始から44クロック後に設定され、データ処理部4の処理開始タイミングはデータの読出開始から64クロック後に設定される。

【0024】このように各データ処理部で処理の開始タイミングをずらせて調整することにより、必要なデータが入力されるタイミングに同期して処理を開始することができる。

【0025】ところで、図2の例では取り扱われるデータが1種類であったが、複数のデータが並行して取り扱われる場合がある。この場合には、1つのデータ処理部に複数のデータが入力されるが、各データの入力タイミングが同一でない場合が生じる。その例を図4に示す。

この処理プロセス例において、データ処理部1は、メモリブロックからデータ1を入力するとともにローカルメモリ2からデータ3を入力し、これらのデータに基づく処理を実行してデータ5を出力する。データ処理部2は、メモリブロックからデータ2を入力して処理を実行し、データ6を出力する。データ処理部3では、データ処理部1からデータ5を入力し、データ処理部2からデータ6を入力し、さらに、自己のローカルメモリ3からデータ4を入力して、これらのデータに基づく処理を実行してデータ7を出力する。このデータ7はデータ処理部4の3本の入力ポートにそれぞれ入力される。データ処理部4はこのデータに基づく処理を実行し、その処理結果であるデータ8をローカルメモリ4に書き込む。

【0026】この処理において、データ処理部1、データ処理部3には、それぞれ複数種類のデータが入力されるが、それらのデータの入力タイミングが同じとは限らない。すなわち、データ処理部1に入力されるデータ1およびデータ3は、それぞれバス接続切換器5-バス接続切換器1およびバス接続切換器2-バス接続切換器1を介して入力されるため、遅延量はそれぞれ4クロックと同じであるが、データ処理部3ではローカルメモリ3から入力されるデータ4の遅延量は2クロックであるのに対し、データ処理部1から入力されるデータ5およびデータ処理部2から入力されるデータ6は、メモリブロックから読み出され、データ処理部で処理を受けたのち入力されるため、ともに遅延量は26クロックになっている。すなわち、データ5の場合、バス接続切換器5(2クロック)-バス接続切換器1(2クロック)-データ処理部1(16クロック)-バス接続切換器1(2クロック)-バス接続切換器2(2クロック)-バス接続切換器3(2クロック)の合成26クロックの遅延が

生じることになる。データ6も同様に26クロックの遅延が生じる。このため、データ4、データ5、データ6を同じタイミングで取り込んで処理するためにはデータ4の取り込みを24クロック遅らせる必要がある。

【0027】このように、複数の入力ポートから入力される複数のデータの入力タイミングがずれている場合に、このデータの取込タイミングを揃えるため、このデータ処理装置では、各データ処理部の入力ポート直後にバッファを設け、早いデータをバッファし遅いデータに合わせて取り込むようにしている。図4のデータ処理部3の場合には、入力ポート1に遅延量24クロックを設定し、入力ポート1から入力されるデータ4を24クロック分バッファして遅延させながら、入力ポート2、入力ポート3から入力されるデータ5、データ6と同様にデータの取り込んで処理し、データ取り込みのタイミングを揃えるようにしている。

【0028】さらに、データ処理部4では同一のデータの異なる3つの部分を取り込んで処理を行っている。このようなデータの取り込みは、画像処理における3×3の9画素を平均化する場合などに行われる。画像データの水平ラインを512画素とすると、入力ポート1、2、3でそれぞれ、第nライン、第n+1ライン、第n+2ラインの上下に隣接する画素のデータを取り込もうとする場合には、最後に送られてくる第n+2ラインのデータに比べて第n+1ラインのデータは512クロック早く送られて来、第nラインのデータはさらに512クロック早く、すなわち、第n+2ラインのデータに比べて1024クロック早く送られてくる。したがって、入力ポート1には1024クロックの遅延量を設定し、入力ポート2には512クロックの遅延量を設定し、入力ポート1から入力されるデータを1024クロック分バッファして遅延させ、且つ、入力ポート2から入力されるデータを512クロック分バッファして遅延させながら、入力ポート1、2、3から入力されるデータを取り込んで処理することにより3×3の画素の取り込みを3ライン分並行して行うことができる。

【0029】この実施例のデータ処理装置が図4の設定で動作するためには、このような各入力ポート間の同期をとるための各入力ポート毎の遅延量の設定に加えて、上述した各データ処理部間の同期を取るためのデータ処理部単位の遅延量の設定が必要である。したがって、図4の設定で動作するためには、図5に示すような遅延量を各データ処理部、入力ポートに設定する。この設定は制御部10がこのバス接続を設定するときに同時に設定する。

【0030】なお、上記の例ではバス接続切換器におけるデータ遅延量を2クロックとし、データ処理部における処理時間を16クロックとしたが、遅延量はこれに限定されるものではない。特に、4個のデータ処理部における処理時間を一律16クロックとしたが、設定される

処理内容によって各データ処理部にこの時間が異なる場合があるのは当然である。

【0031】以上のような構成のデータ処理装置は、例えば、製品の外観を撮影した画像データを取り込んで、その製品の良／不良を判定するための画像処理装置に適用される。このような装置で実行される画像処理プロセスの例を図6に示す。この画像処理プロセスは、3種類の画像データ（画像1、画像2、画像3）を取り込み、これらのデータに対して10種類の処理（処理1～処理10）を実行して出力用画像データ（画像4）を得るプロセスである。この処理プロセスは、画像1に対して処理1、処理2を連続して実行し、画像2に対して処理3を実行し、これらの画像データに基づいて処理5、処理7、処理9を連続して実行する。一方、画像bに対して処理6を実行するとともに、画像3に対して処理4を実行する。これらの画像データに基づいて処理8を実行する。処理8の出力画像データおよび処理9の出力画像データに基づいて処理10を実行し、この処理10を実行された画像データが出力用画像データ（画像4）となる。このようにこの処理プロセスには、同一の画像データに対して連続して複数の処理を実行するプロセスや、複数の画像データを合成して処理を実行するプロセスなどがある。処理の具体例としては、例えば2値化処理や輪郭抽出処理などがある。

【0032】なお、画像処理の場合メモリ1～6およびローカルメモリ1～4は少なくとも1フレーム分の画像データを記憶する容量を備えたものとする。

【0033】図7は、図6のデータ処理プロセスを同データ処理装置で実行する場合のバス接続例を示す図である。この例では図6の画像処理プロセスを3ステップで実行している。同図（A）が第1ステップを示し、同図（B）が第2ステップを示し、同図（C）が第3ステップを示す。

【0034】同図（A）に示す処理プロセスでは以下の処理を実行する。まずメモリ1から画像1を読み出してバス1を介してデータ処理部1に入力する。データ処理部1では処理1を実行する。処理1を実行ののち、この処理済データをバス1を介してデータ処理部2に入力する。データ処理部2では処理2を実行する。処理2を実行ののち、この処理済データ（画像a）を自己のローカルメモリ2に書き込む。一方、バス2を介してメモリ2から画像2を読み出し、データ処理部3に入力する。データ処理部3では処理3を実行する。処理3を実行ののち、この処理済データ（画像b）を自己のローカルメモリ3に書き込む。さらに、バス3を介してメモリ3から画像3を読み出し、データ処理部4に入力する。データ処理部4では処理4を実行する。処理4を実行ののち、この処理済データ（画像c）を自己のローカルメモリ4に書き込む。ステップ1では以上の動作を並行して処理する。ステップ1終了ののち、制御部10はバスの接続

を切り換え、同図(B)に示すステップ2の接続にする。

【0035】同図(B)に示す第2ステップでは以下の処理プロセスを実行する。まず、ローカルメモリ2から画像aを読み出し、バス接続切換器2を介してデータ処理部2に入力する。すなわち、データ処理ブロック2内でデータの読み出し・入力を行う。また、ローカルメモリ3から画像bを読み出し、バス3を介してデータ処理部2に入力する。データ処理部2では処理5を実行する。処理5実行ののち、この処理済データ(画像d)をバス1を介してメモリブロックに転送しメモリ1に書き込む。一方、ローカルメモリ3から読み出した画像bは、バス接続切換器3を介してデータ処理部3にも入力する。すなわち、データ処理ブロック3内でデータの読み出し・入力を行う。データ処理部3では処理6を実行する。処理6の実行ののち、この処理済データをバス1を介してデータ処理部4の入力ポート1に入力する。データ処理ブロック4では、ローカルメモリ4から画像cを読み出し、バス接続切換器4を介してデータ処理部4の入力ポート3に入力する。データ処理部4は、データ処理部3から入力された画像データおよびローカルメモリ4から入力された画像データ(画像c)に基づいて処理8を実行する。処理8を実行ののち、この処理済データ(画像e)をバス2を介してメモリブロックに転送しメモリ2に書き込む。ステップ2では以上の動作を並行して処理する。ステップ2終了ののち、制御部10はバスの接続を切り換え、装置を同図(C)に示すステップ3の接続形態にセットする。

【0036】同図(C)において、第3ステップでは以下の処理プロセスを実行する。まず、メモリ1から画像dを読み出してバス1を介してデータ処理部1の入力ポート1に入力する。データ処理部1では処理7を実行する。処理7を実行ののち、この処理済データをバス1を介してデータ処理部2に入力する。データ処理部2では処理9を実行する。処理9を実行ののち、この処理済データをバス1を介してデータ処理部3の入力ポート1に入力する。一方、メモリ2から画像eを読み出し、バス2を介してデータ処理部3の入力ポート2に入力する。データ処理部3ではこれらの画像データに基づき処理10を実行する。処理10の処理済データをバス4を介してメモリブロックに転送し、画像4としてメモリ3に書き込む。ステップ3では以上の動作を並行して処理する。以上の3ステップのプロセスにより図6の画像処理が実行される。

【0037】このような処理プロセスにおいて、全データ処理部が同期した動作するように、上述したデータ処理部毎のスタートタイミングの遅延量および各入力ポートにおけるデータの取込タイミングの遅延量が設定され

る。

【0038】なお、入力ポートから取り込むデータを遅延させるためのバッファはデータ処理部に内蔵してもよいが、ローカルメモリが空いている場合にはこれに書き込むようにしてもよく、また、空いているバスを用いてメモリブロック内のメモリに書き戻すことも可能である。

【0039】上記実施例ではデータ処理ブロック数を4、メモリ数を6、バス数を3としたが、これらの個数はこれに限定されるものではない。また、ローカルメモリは1個に限定されず複数設けてもよい。接続するデータ処理ブロックの数に応じてデータバスの数を変更することにより、より多様なデータの流れに対応することができる。

【0040】

【発明の効果】以上のようにこの発明によれば、複数のメモリと複数のデータ処理部を任意の形態に接続することができ、複雑なデータ処理を一連のデータの流れのなかで処理することができ極めて高速なデータ処理が可能となる。この場合において、各データ処理部の処理開始タイミングを入力されるデータのタイミングに合わせて遅延量を設定することができるため、データの流れに同期した動作が可能になる。さらに、各データ処理部において、複数の入力ポートから複数のデータが入力される場合に、早く入力されるデータを遅く入力されるデータの入力タイミングまで遅延させて、全てのデータを同期して取り込むことができるようにしたことにより、複数のデータに基づく処理が容易になる。

【0041】この場合に、各入力ポートの遅延量を画像データの2水平ライン分のデータの取込時間まで遅延可能としたことにより、画像データの3×3画素の平均化などの処理が可能になる。

【図面の簡単な説明】

【図1】この発明の実施例であるデータ処理装置の構成を示す図

【図2】同データ処理装置のバス接続例を示す図

【図3】同データ処理装置の各部におけるデータ遅延量を示す図

【図4】同データ処理装置のバス接続例を示す図

【図5】上記バス接続例における各データ処理部の遅延量の設定を示す図

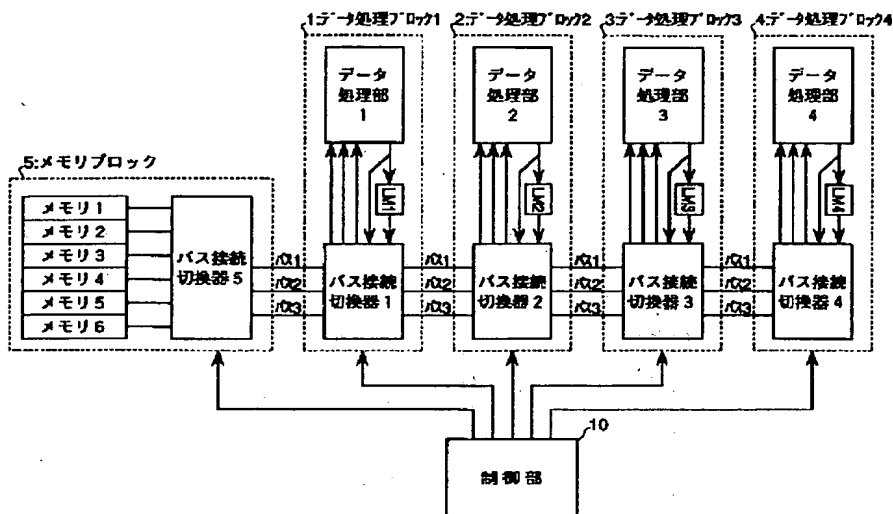
【図6】同データ処理装置で実行される画像処理プロセスの例を示す図

【図7】同画像処理プロセスの各処理ステップを示す図

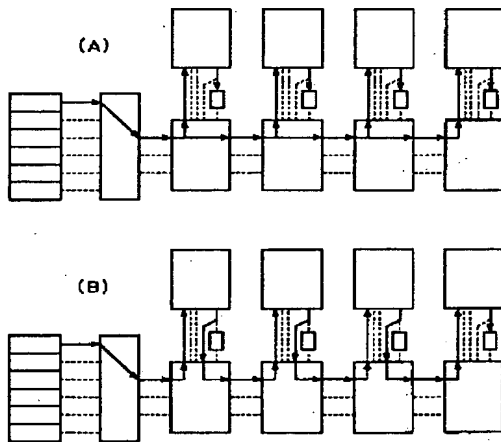
【符号の説明】

1、2、3、4—データ処理ブロック
5—メモリブロック

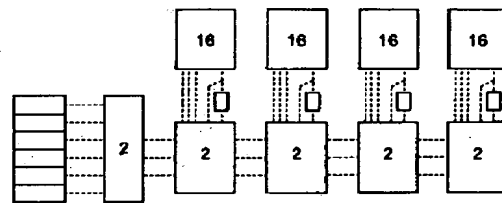
【図1】



【図2】



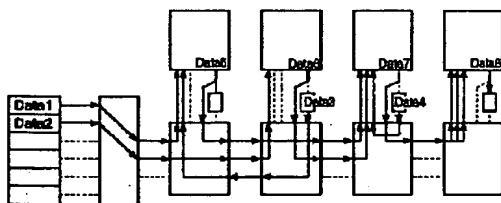
【図3】



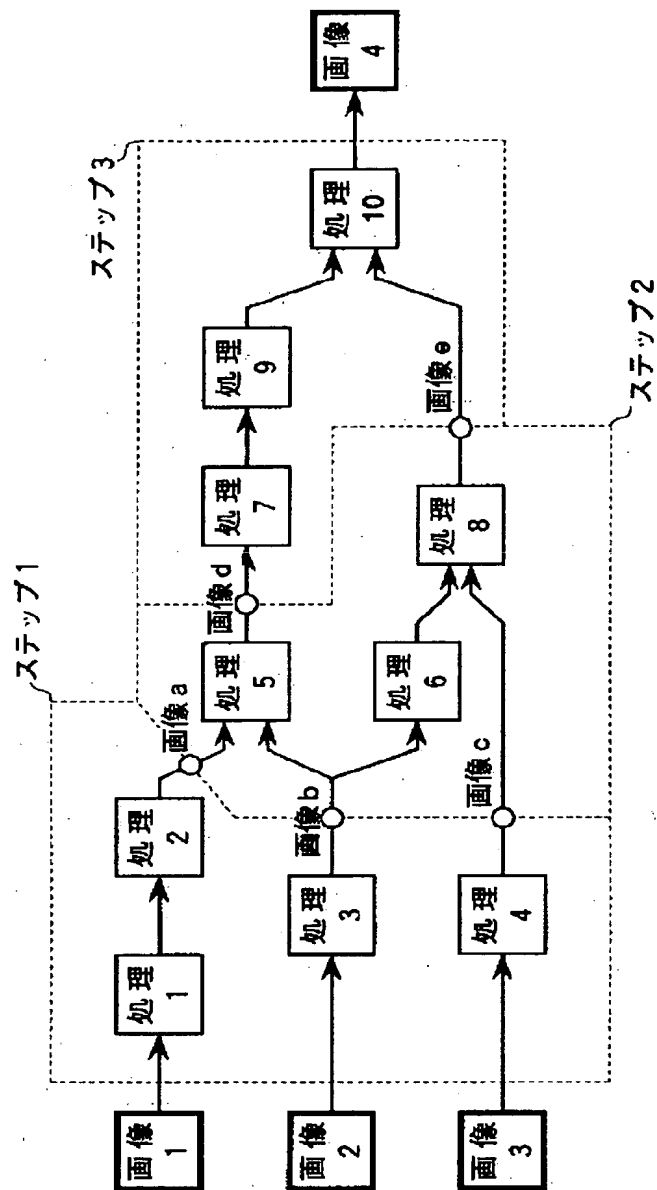
【図5】

	1	2	3	4
Start Delay	4	8	28	1054
Input Port Delay	1	0	0	1024
	2	0	-	512
	3	-	-	24

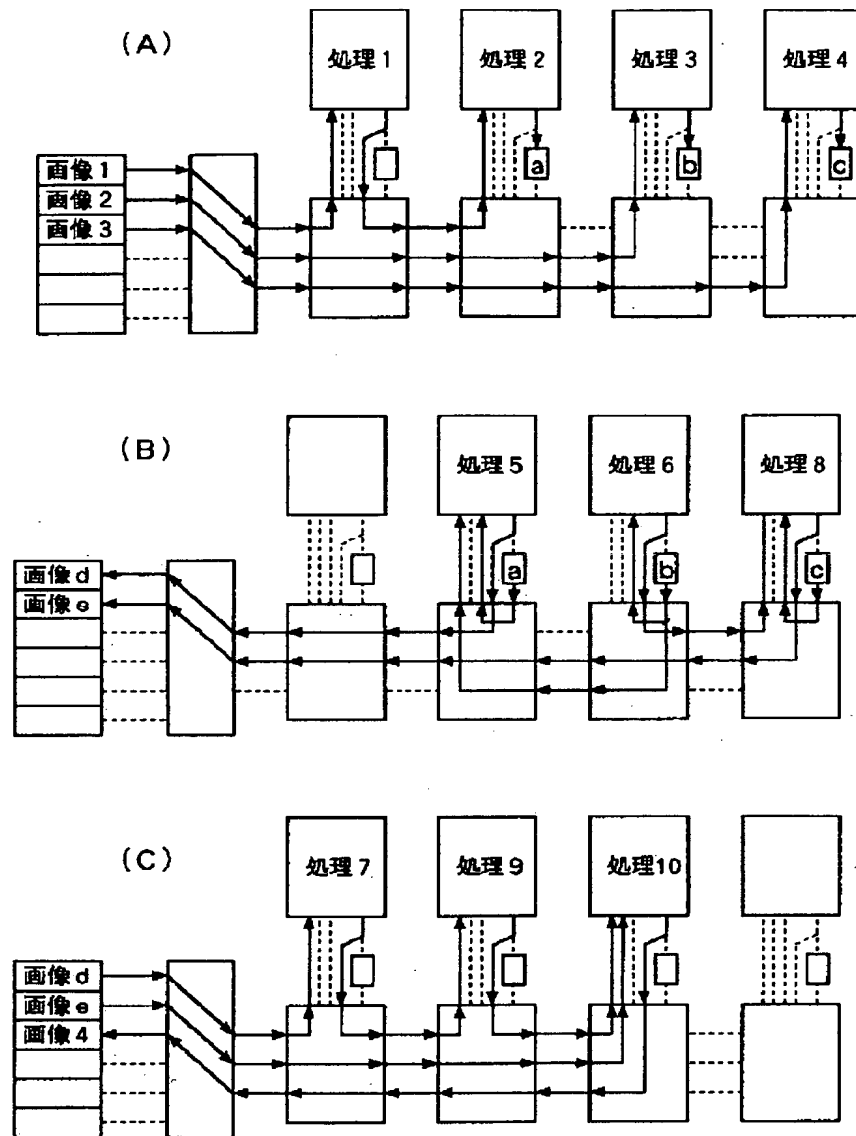
【図4】



【図6】



【図7】



フロントページの続き

(51)Int.Cl.⁶
G 0 6 T 1/20

識別記号

庁内整理番号

F I

技術表示箇所

(72)発明者 岸 浩司

大阪市西区江戸堀1丁目25番22号 株式会
社コムシステム内

(72)発明者 川久保 隆

大阪市西区江戸堀1丁目25番22号 株式会
社コムシステム内